

(19)

KOREAN INTELLECTUAL PROPERTY OFFICE

KOREAN PATENT ABSTRACTS

(11) Publication

010065182 A

number:

(43) Date of publication of application:

11.07.2001

(21) Application number: 990065051

(71) Applicant:

HYNIX SEMICONDUCTOR
INC.

(22) Date of filing: 29.12.1999

(72) Inventor:

KIM, MIN SU

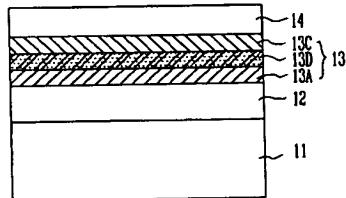
(51) Int. Cl

H01L 21/24

(54) METHOD FOR MANUFACTURING CAPACITOR OF SEMICONDUCTOR DEVICE

(57) Abstract:

PURPOSE: A method for manufacturing a capacitor of a semiconductor device is provided to form an accumulated structure of TaN in order to maximize capacitance of the capacitor as well as to minimize leakage current.



CONSTITUTION: The semiconductor capacitor manufacturing method includes following steps. At first, a lower electrode(12) is formed on a substrate on which a lower structure is formed. The, the first aluminum oxide/tantalum nitride/ the second aluminum oxide/tantalum nitride accumulated structure is formed by using an atomic layer deposition on the lower electrode. At third, the result of previous steps are thermally processed to form a dielectric layer (13) having the accumulated structure of first aluminum oxide/tantalum nitride/ the second aluminum oxide/tantalum nitride. At last, an upper layer(14) is formed on the dielectric layer. The first and second aluminum oxide layers are formed by loading a wafer at 200 to 450 degrees in a reactive furnace at 0.1 to 2Torr and then providing TMA(triMethyl Aluminum) source and H₂O in the furnace.

COPYRIGHT 2001 KIPO

Legal Status

Final disposal of an application (application)

BEST AVAILABLE COPY

2001-0065182

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)(51) Int. Cl.
H01L 21/24(11) 공개번호 2001-0065182
(43) 공개일자 2001년 07월 11일

(21) 출원번호	10-1999-0065051
(22) 출원일자	1999년 12월 29일
(71) 출원인	주식회사 하이닉스반도체 박증섭 경기 이천시 부발읍 아미리 산136-1
(72) 발명자	김민수 경기도 이천시 안흥동 주공마파트 108-701
(74) 대리인	최승민, 신영무

2001-0065182

(54) 반도체 소자의 캐퍼시터 제조방법

보속

본 발명은 반도체 소자의 캐퍼시터 제조방법에 관한 것으로, 알루미늄 옥사이드(Al₂O₃), 탄탈륨 옥사이드(Ta₂O₅) 등과 같은 물질의 단일막 구조를 사용하는 캐퍼시터의 경우 정전용량 및 누설전류 특성을 동시에 개선할 수 없는 문제점을 해결하기 위하여, 알루미늄 옥사이드와 탄탈륨 옥시나이트라이드막을 적층구조로 사용하되, 단원자 증착(Atomic Layer Deposition; ALD)에 의해 인-시투로 증착하므로써, 공정 단계의 증가나 비용 증가 없이 캐퍼시터의 정전용량을 극대화하고 누설전류를 최소화할 수 있도록 한 반도체 소자의 캐퍼시터 제조방법이 개시된다.

2001-0065182

2001-0065182

2001-0065182

알루미늄 옥사이드, 탄탈륨 옥시나이트라이드, 단원자 증착법

2001-0065182

2001-0065182

도 1& 내지 1e는 본 발명의 실시 예에 따른 반도체 소자의 캐퍼시터 제조방법을 설명하기 위해 순차적으로 도시한 소자의 단면도.

<도면의 주요 부분에 대한 부호 설명>

11 : 기판

12 : 하부전극

13A : 제 1 알루미늄 옥사이드층 13B : 탄탈륨 나이트라이드층

13C : 제 2 알루미늄 옥사이드층 13D : 탄탈륨 옥시나이트라이드층

13 : 유전체막

14 : 상부전극

2001-0065182

2001-0065182

2001-0065182

본 발명은 반도체 소자의 캐퍼시터 제조방법에 관한 것으로, 특히 정전 용량을 증대시키면서 낮은 누설전류 특성을 확보할 수 있는 반도체 소자의 캐퍼시터 제조방법에 관한 것이다.

반도체 소자는 점점 고집적화되고 있으며, 소자가 안정적으로 동작하기 위해서는 충분한 정전용량과 낮은 누설전류 특성을 확보해야 한다. 이를 위하여 캐퍼시터의 유전율질로 탄탈륨 옥사이드(Ta_2O_5), 알루미늄 옥사이드(Al_2O_3)와 같은 고유전 물질을 사용하고 있다. 그런데 탄탈륨 옥사이드를 이용한 유전율질은 유전율(ϵ)이 약 25 정도로 매우 높은 장점이 있는 반면, 탄탈륨 옥사이드 유전율질 증학시 근원물질에서 기인하는 수소 및 탄소 계열의 물질들이 유전체막 내에 함유되며 캐퍼시터스를 저하시키고 누설전류를 증가시키는 원인이 된다. 이러한 이유로 캐퍼시터의 유전율질로 알루미늄 옥사이드를 사용하게 되는데, 이와 같이 탄탈륨 옥사이드나 알루미늄 옥사이드의 단일막으로는 캐퍼시터의 충분한 정전용량과 낮은 누설전류 특성을 동시에 확보할 수 없는 단점이 있다.

이러한 문제를 해결하기 위하여 고유전 특성을 가진 유전율질을 도핑하거나 적층하는 기술에 대한 연구가 진행 중에 있다. 이 중에서 $Al_{2-}O_3/Ta_2-0_5$ 적층 캐퍼시터는 화학기상증착(CVD)법으로 $Al_{2-}O_3$ 와 Ta_2-0_5 를 증착할 경우 $Al_{2-}O_3/Ta_2-0_5$ 사이의 계면에 환원된 금속계가 존재하게 되어 높은 누설전류의 원인으로 작용하는 문제점이 있다.

2001 CHAPTERS 32 & 33

따라서, 본 발명은 단원자 증착법(Atomic Layer Deposition: 이하, 'ALD'라 함)에 의해 알루미늄 옥사이드(Al_2O_3)와 탄탈륨 나이트라이드(TaN)를 증착하여 Al_2O_3 와 TaN 사이의 계면 반응을 최소화하여 캐퍼시터의 정전용량을 극대화하고 누설전류 특성을 개선할 수 있는 반도체 소자의 캐퍼시터 제조방법을 제공하는 데 그 목적이 있다.

상술한 목적을 달성하기 위한 본 발명에 따른 반도체 소자의 캐패시터 제조방법은 하부구조가 형성된 기판 상에 하부전극을 형성하는 단계; 상기 하부전극 상에 단원자 증착법에 의해 제 1 알루미늄 흑사이트/탄탈루름 나이트리아이드/제 2 알루미늄 흑사이트의 적층구조를 형성한 후 열처리 공정을 실시하여 제 1 알루미늄 흑사이트/탄탈루름 나이트리아이드/제 2 알루미늄 흑사이트의 적층구조로된 유전체막을 형성하는 단계; 및 상기 유전체막 상에 상부전극을 형성하는 단계를 포함하여 이루어지는 것을 특징으로 한다.

600264 - 1977-07-07

본 발명에서는 낮은 누설전류 특성을 갖는 Al_2O_3 와, 탄탈륨 옥사이드(Ta_2O_5)와 유사한 고유전 특성($\epsilon=20 \sim 25$)을 갖는 $TaON$ 을 이용하여 $Al_2O_3/TaON/Al_2O_3$ 구조 캐퍼시터를 구현하기 위하여 ALD 법으로 Al_2O_3 과 $TaON$ 을 장착한다. 이때, Al_2O_3 증착시에는 TMA 소오스(TriMethyl Aluminum: $Al(CH_3)_3$)를 사용하여, $TaON$ 증착시에는 $TaCl_5$ 와 NH_3 가스를 이용한다.

미학·철학·도덕·한국어·한국사·영어·수학·과학·체육·음악·미술·기술 등 학제적·융합적 교육 프로그램을 실시 예를 살피고자 한다.

도 18 내지 1e는 본 발명의 실시 예에 따른 반도체 소자의 캐퍼시터 제조방법을 설명하기 위해 순차적으로 도시한 소자의 단면도이다.

도 1a를 참조하여, 하부구조가 형성된 기판(11) 상에 하부전극(12)을 형성한 후, 하부전극 표면을 세정하여 자연 산화막(도시하지 않음)을 제거한다. 여기에서, 하부전극(12)은 풀리실리콘이나 금속을 증착하여 형성하여, 자연 산화막은 HF 또는 BOE를 이용한 식각 공정에 의해 제거된다. 이후, 하부전극(12) 상에 제 1 알루미늄 익사이드(Al₂O₃)층(13A)을 형성한다. 제 1 Al₂O₃층(13A)은 0.1 내지 2Torr의 압력으로 유지된 반응로에 200 내지 450°C로 가열된 웨이퍼를 로딩한 후 알루미늄 공급원인 TMA 소오스(TriMethyl Aluminum; Al(CH₃)₃)와 산소 공급원인 H₂O를 공급하여 형성한다.

도 1b를 참조하여, 제 1 Al₂O₃층(13A)이 형성된 전체구조 상에 탄탈륨 나이트라이드(TaN)층(13B)을 형성 한다. TaN층(13B)은 0.1 내지 2Torr의 압력으로 유지된 반응으로 내에 200 내지 450°C로 가열된 웨이퍼를 로딩한 후, 실온에서 고체 상태인 TaCl₅를 140°C 이상으로 유지하여 기상상태로 만들어 반응으로 내로 공급하고, 반응가스의 NH₃를 10 내지 1000sccm 정도로 반응으로 내로 공급함으로써 형성된다.

도 1c를 참조하여, TaN층(13B) 상에 제 2 Al₂O₃층(13C)을 형성한다. 제 2 Al₂O₃층(13C)은 0.1 내지 2Torr의 압력으로 유지된 반응로에 200 내지 450°C로 가열된 웨이퍼를 로딩한 후 알루미늄 공급원인 TMA 소스(Trimethyl Aluminum: Al(CH₃)₃)와 산소 공급원인 H₂O를 공급하여 형성한다.

도 1d를 참조하여, 1차 열처리 공정을 실시하여, TaON층(13B)을 산화시켜 탄탈륨 옥시나이트라이드(TaON)층(13D)을 형성함과 동시에, 제 1 및 제 2 Al₂O₃층(13A, 13C) 내의 탄소 및 물순률을 제거한다. 이후, 제 1 및 제 2 Al₂O₃층(13A, 13C)을 결정화시키기 위한 2차 열처리 공정을 실시한다. 여기에서, 1차 열처리 공정은 300 내지 400°C의 온도에서 N₂O를 이용한 플라즈마 어닐링 공정이며, 2차 열처리 공정은 O₂ 또는 N₂O 분위기 및 700 내지 800°C의 온도에서 10 내지 30분 동안 실시하는 퍼니스 어닐링 공정이다. 이와 같아, ALD 법 및 후속 열처리 공정에 의해 제 1 Al₂O₃층/TaON층/제 2 Al₂O₃층(13A/13D/13C)이 적층된 유전체막(13)이 형성되게 된다.

도 1e를 참조하여, 유전체막(13)이 형성된 전체구조 상에 상부전극(14)을 형성한다.

이와 같이, 제 1 Al₂O₃층/TaN층/제 2 Al₂O₃층으로 된 유전체막을 ALD 법에 의해 인-시투(In-situ)로 형성함에 따라 공정 단계의 추가 없이 높은 정전용량과 낮은 누설전류 특성을 갖는 캐패시터를 제조할 수 있다.

2.2.4.2.2 캐패시터 제조

상술한 바와 같이, 본 발명에 따르면 낮은 누설전류 특성을 갖는 알루미늄 옥사이드(Al₂O₃)와 고유전 특성을 갖는 탄탈륨 나이트라이드(TaN)를 단원자 증착법에 의해 적층구조로 형성하므로써, 캐패시터의 정전용량을 극대화하는 동시에 낮은 누설전류 특성을 확보할 수 있고, 새로운 장비투자 없이 캐패시터의 정전용량 및 누설전류 특성을 개선할 수 있으므로 제조 원가를 절감시킬 수 있는 효과가 있다.

(5) 캐패시터 제조

청구항 1. 하부구조가 형성된 기판 상에 하부전극을 형성하는 단계;

상기 하부전극 상에 단원자 증착법에 의해 제 1 알루미늄 옥사이드/탄탈륨 나이트라이드/제 2 알루미늄 옥사이드의 적층구조를 형성한 후 열처리 공정을 실시하여 제 1 알루미늄 옥사이드/탄탈륨 나이트라이드/제 2 알루미늄 옥사이드의 적층구조로 된 유전체막을 형성하는 단계; 및

상기 유전체막 상에 상부전극을 형성하는 단계를 포함하여 이루어지는 것을 특징으로 하는 반도체 소자의 캐패시터 제조방법.

청구항 2. 제 1 항에 있어서,

상기 제 1 및 제 2 알루미늄 옥사이드층은 0.1 내지 2Torr의 압력으로 유지된 반응로에 200 내지 450°C로 가열된 웨이퍼를 로딩한 후 알루미늄 공급원인 TMA 소오스와 산소 공급원인 H₂O를 공급하여 형성하는 것을 특징으로 하는 반도체 소자의 캐패시터 제조방법.

청구항 3. 제 1 항에 있어서,

상기 탄탈륨 나이트라이드층은 0.1 내지 2Torr의 압력으로 유지된 반응로 내에 200 내지 450°C로 가열된 웨이퍼를 로딩한 후, 실온에서 고체 상태인 TaCl₅를 140°C 이상으로 유지하여 기상상태로 만들어 반응로 내로 공급하고, 반응가스인 NH₃를 10 내지 1000sccm 정도로 반응로 내로 공급하므로써 형성하는 것을 특징으로 하는 반도체 소자의 캐패시터 제조방법.

청구항 4. 제 1 항에 있어서,

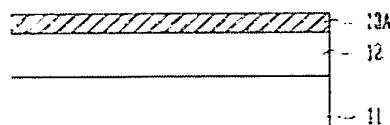
상기 열처리 공정은 상기 탄탈륨 나이트라이드층을 산화시키고 상기 제 1 및 제 2 알루미늄 옥사이드층 내의 탄소 및 불순물을 제거하기 위한 1차 열처리 공정 및 상기 제 1 및 제 2 알루미늄 옥사이드층을 결정화하기 위한 2차 열처리 공정으로 이루어지는 것을 특징으로 하는 반도체 소자의 캐패시터 제조방법.

청구항 5. 제 1 항 또는 제 4 항에 있어서,

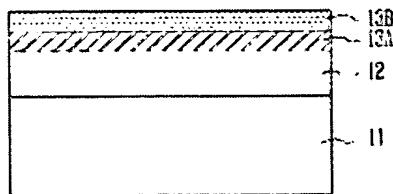
상기 열처리 공정은 300 내지 400°C의 온도에서 N₂O를 이용하여 실시하는 플라즈마 어닐링 공정인 1차 열처리 공정 및 O₂ 또는 N₂O 분위기 및 700 내지 800°C의 온도에서 10 내지 30분 동안 실시하는 퍼니스 어닐링 공정인 2차 열처리 공정으로 이루어지는 것을 특징으로 하는 반도체 소자의 캐패시터 제조방법.

도면

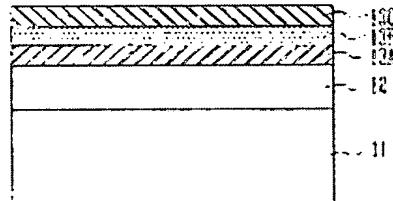
도면 1e



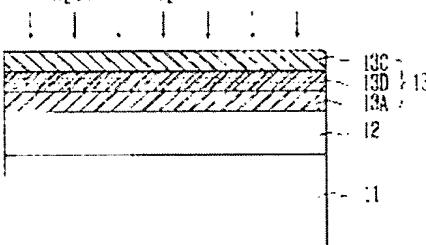
5.2.26



5.2.27



5.2.28

 $N_2C \text{ 並 } 1C + O_2 \text{ 並 } 1C$ 

5.2.29

